

OPTICAL DETECTOR

Patent number: JP2005033722
Publication date: 2005-02-03
Inventor: MIZUNO SEIICHIRO; SUGIYAMA YUKINOBU
Applicant: HAMAMATSU PHOTONICS KK
Classification:
- international: G01J1/44; H01L27/146; H04N5/335; H01L31/10;
G01J1/44; H01L27/146; H04N5/335; H01L31/10; (IPC1-7): H04N5/335; G01J1/44; H01L27/146; H01L31/10
- european:
Application number: JP20030273579 20030711
Priority number(s): JP20030273579 20030711

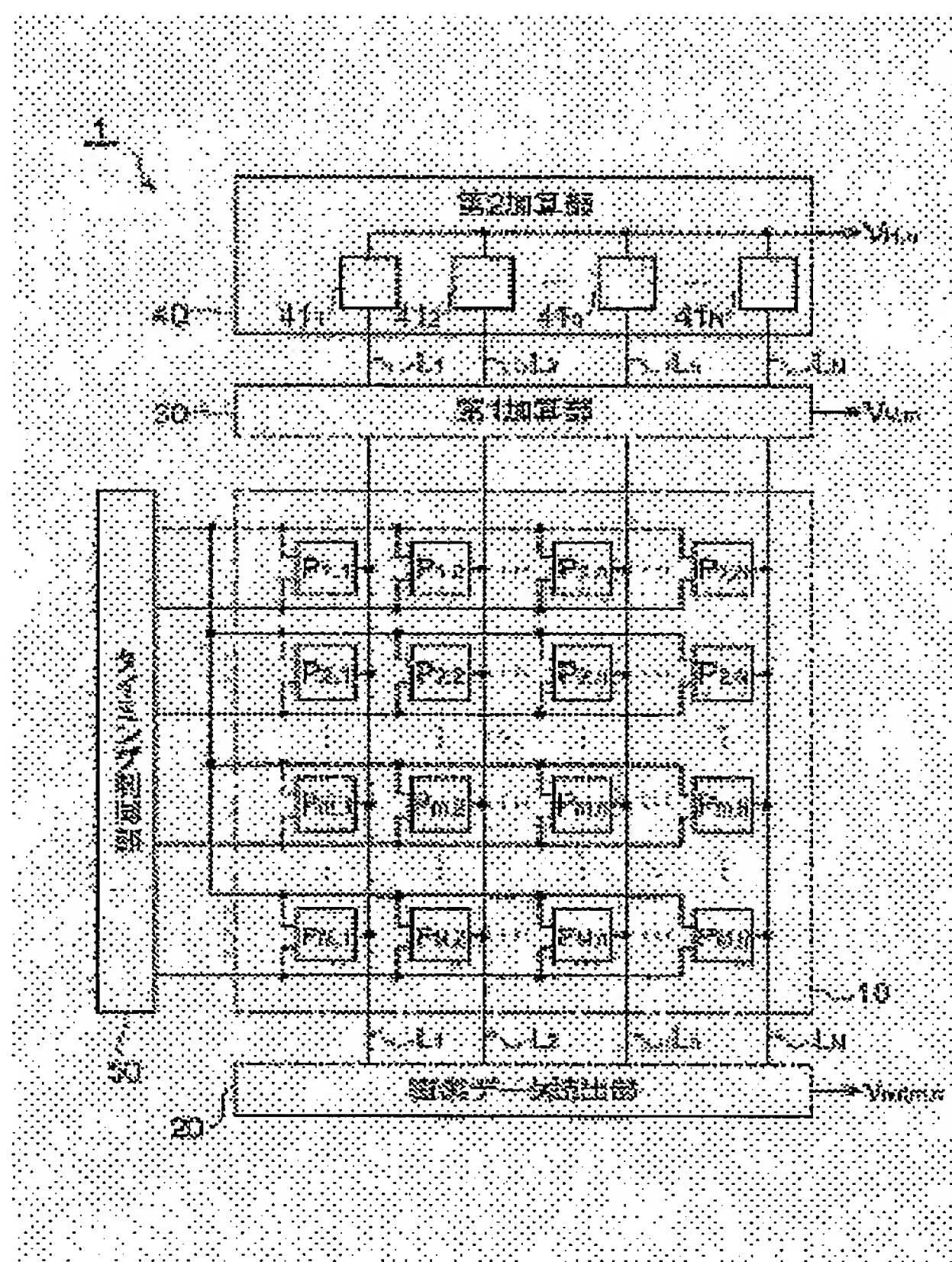
Also published as:

WO2005006742 (/

Report a data error h

Abstract of JP2005033722

PROBLEM TO BE SOLVED: To provide a photodetector capable of both incident light intensity distribution detection and image pickup in two directions on a light receiving plane.
SOLUTION: A voltage corresponding to the incident light intensity is outputted from the pixel parts $P_{<SB>m, n}$ arrayed in a matrix of M rows and N columns, and the voltage is read by a pixel data read part 20 to perform image pickup. The voltage outputted from the pixel parts is also inputted to a first addition part 30 and a second addition part 40. In the first addition part 30, the voltages outputted from N pixel parts $P_{<SB>m, 1}$ to $P_{<SB>m, N}$ in each of rows are added for each of rows, and the voltage corresponding to the added result is outputted. In the second addition part 40, the voltages outputted from M pixel parts $P_{<SB>1, n}$ to $P_{<SB>M, n}$ in each of columns are added for each of columns and a voltage corresponding to the added result is outputted. On the basis of the voltage outputted from the first addition part 30 and the second addition part 40, the incident light intensity distributions in the two directions on the light receiving plane are detected.
COPYRIGHT: (C)2005,JPO&NCIPI



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2005-33722
(P2005-33722A)

(43) 公開日 平成17年2月3日(2005.2.3)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
HO4N 5/335	HO4N 5/335	Z 2G065
GO1J 1/44	GO1J 1/44	P 4M118
HO1L 27/146	HO1L 27/14	A 5C024
HO1L 31/10	HO1L 31/10	G 5F049

審査請求 未請求 請求項の数 8 O L (全 19 頁)

(21) 出願番号	特願2003-273579 (P2003-273579)	(71) 出願人	000236436
(22) 出願日	平成15年7月11日 (2003.7.11)		浜松ホトニクス株式会社
			静岡県浜松市市野町 1 1 2 6 番地の 1
		(74) 代理人	100088155
			弁理士 長谷川 芳樹
		(74) 代理人	100092657
			弁理士 寺崎 史朗
		(74) 代理人	100124291
			弁理士 石田 悟
		(74) 代理人	100110582
			弁理士 柴田 昌聰
		(72) 発明者	水野 誠一郎
			静岡県浜松市市野町 1 1 2 6 番地の 1
			浜松ホトニクス株式会社内

最終頁に続く

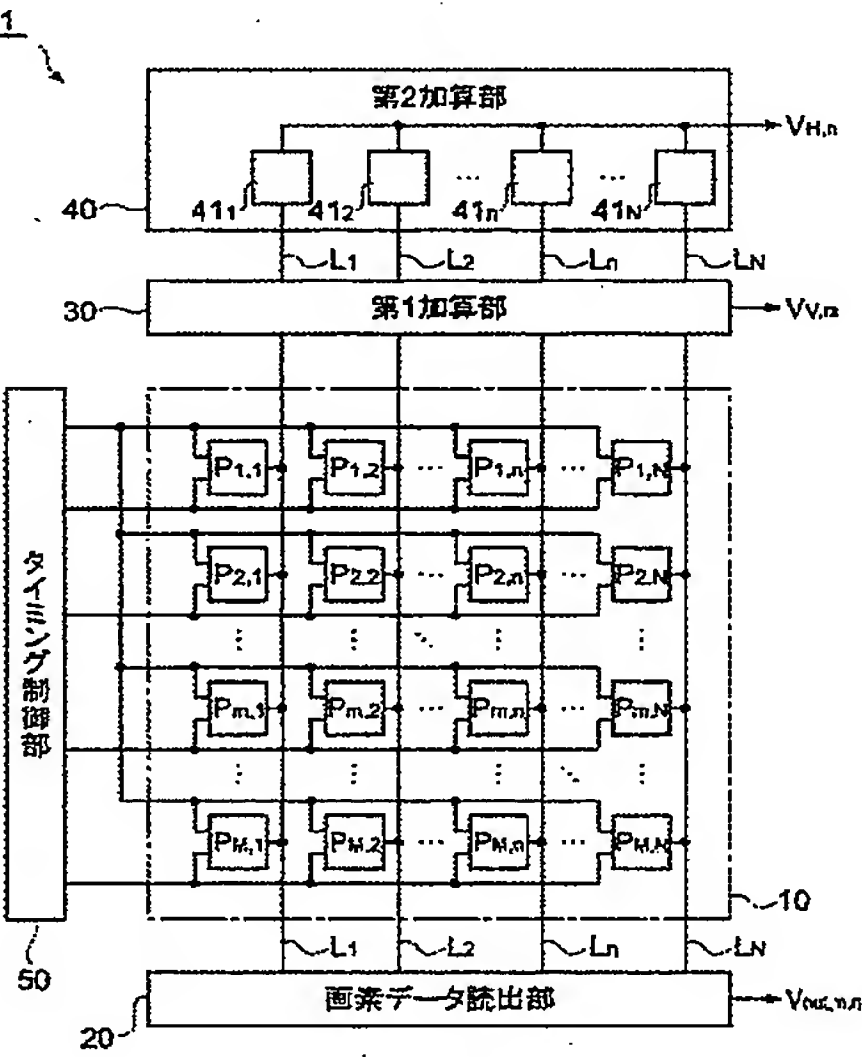
(54) 【発明の名称】 光検出装置

(57) 【要約】

【課題】 受光面上の2方向それぞれの入射光強度分布検出および撮像の双方を高感度に行なうことができる光検出装置を提供する。

【解決手段】 M行N列に配列された画素部P_{m,n}から入射光強度に応じた電圧値が出力され、その電圧値は画素データ読出部20により読み出されて、撮像が行なわれる。画素部から出力された電圧値は、第1加算部30および第2加算部40にも入力する。第1加算部30では、各行について、該行にあるN個の画素部P_{1,1}~P_{1,N}から出力される電圧値が加算されて、その加算結果に応じた電圧値が出力される。第2加算部40では、各列について、該列にあるM個の画素部P_{1,1}~P_{M,1}から出力される電圧値が加算されて、その加算結果に応じた電圧値が出力される。第1加算部30および第2加算部40から出力される電圧値に基づいて、受光面上の2方向それぞれの入射光強度分布が検出される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入射光強度に応じた量の電荷を発生するフォトダイオードと、ゲート端子に入力している電荷の量に応じた電圧値を出力する増幅用トランジスタと、前記フォトダイオードで発生した電荷を前記増幅用トランジスタのゲート端子へ転送する転送用トランジスタと、前記増幅用トランジスタのゲート端子の電荷を放電する放電用トランジスタと、前記増幅用トランジスタから出力される電圧値を選択的に出力する選択用トランジスタとを各々含み、M行N列に2次元配列されたM×N個の画素部 $P_{m,n}$ と（ただし、MおよびNそれぞれは2以上の整数、mは1以上M以下の各整数、nは1以上N以下の各整数）、

前記M×N個の画素部 $P_{m,n}$ それぞれの前記選択用トランジスタから出力される電圧値を読み出す画素データ読出部と、 10

前記M×N個の画素部 $P_{m,n}$ の各行について、該行にあるN個の画素部 $P_{m,1} \sim P_{m,N}$ それぞれの前記選択用トランジスタから出力される電圧値を加算して、その加算結果に応じた電圧値を出力する第1加算部と、

前記M×N個の画素部 $P_{m,n}$ の各列について、該列にあるM個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれの前記選択用トランジスタから出力される電圧値を加算して、その加算結果に応じた電圧値を出力する第2加算部と、

を備えることを特徴とする光検出装置。

【請求項 2】

前記第1加算部が、前記M×N個の画素部 $P_{m,n}$ に対して1つの加算回路を有する、ことを特徴とする請求項1記載の光検出装置。 20

【請求項 3】

前記加算回路が、

各列についてM個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれの前記選択用トランジスタに結合容量素子を介して入力端子が接続されている増幅器と、

前記増幅器の前記入力端子と出力端子との間に設けられ、前記入力端子に流入した電荷を蓄積する帰還容量素子と、

を備えることを特徴とする請求項2記載の光検出装置。

【請求項 4】

前記第2加算部が、前記M×N個の画素部 $P_{m,n}$ の各列に対して1つの加算回路を有する、ことを特徴とする請求項1記載の光検出装置。 30

【請求項 5】

第n列の前記加算回路が、

第n列のM個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれの前記選択用トランジスタに結合容量素子および結合スイッチを介して入力端子が接続されている増幅器と、

前記増幅器の前記入力端子と出力端子との間に設けられ、前記結合容量素子から前記結合スイッチを介して前記入力端子に流入した電荷を蓄積する帰還容量素子と、

前記結合容量素子を放電する放電手段と、

を備えることを特徴とする請求項4記載の光検出装置。

【請求項 6】

前記第2加算部が、前記M×N個の画素部 $P_{m,n}$ に対して1つの加算回路を有する、ことを特徴とする請求項1記載の光検出装置。 40

【請求項 7】

前記加算回路が、

各列についてM個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれの前記選択用トランジスタに結合容量素子および結合スイッチを介して入力端子が接続されている増幅器と、

前記増幅器の前記入力端子と出力端子との間に設けられ、前記結合容量素子から前記結合スイッチを介して前記入力端子に流入した電荷を蓄積するN組の縦続接続された帰還容量素子およびスイッチと、

前記結合容量素子を放電する放電手段と、 50

を備えることを特徴とする請求項6記載の光検出装置。

【請求項8】

前記画素データ読出部、前記第1加算部および前記第2加算部が並列的に処理を行なう、ことを特徴とする請求項1記載の光検出装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、受光面上の2方向それぞれの入射光強度分布を検出することができる光検出装置に関するものである。 10

【背景技術】

【0002】

受光面上の2軸方向それぞれの入射光強度分布を検出することができる光検出装置としては、例えば、特許文献1に開示されたものが知られている。この光検出装置は、基板上の受光面において、y軸方向に長い複数の光感応領域がx軸方向に並列配置されていて、これに重ねて、x軸方向に長い複数の光感応領域がy軸方向に並列配置されている。

【0003】

そして、x軸方向に並列配置された複数の光感応領域それぞれからの出力値により、受光面上の入射光強度分布をy軸方向に積算したもの（すなわち、受光面上のx軸方向の入射光強度分布）が得られる。また、y軸方向に並列配置された複数の光感応領域それぞれからの出力値により、受光面上の入射光強度分布をx軸方向に積算したもの（すなわち、受光面上のy軸方向の入射光強度分布）が得られる。 20

【特許文献1】特開平6-5832号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上記特許文献1に開示されたものを含めて従来の光検出装置は、受光面上の2方向それぞれの入射光強度分布を検出することができるものの、受光面に入射した光の像を撮像することはできない。特に、従来の光検出装置は、入射光強度分布検出および撮像の双方を高感度に行なうことはできない。 30

【0005】

本発明は、上記問題点を解消する為になされたものであり、受光面上の2方向それぞれの入射光強度分布検出および撮像の双方を高感度に行なうことができる光検出装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明に係る光検出装置は、(1) 入射光強度に応じた量の電荷を発生するフォトダイオードと、ゲート端子に入力している電荷の量に応じた電圧値を出力する増幅用トランジスタと、フォトダイオードで発生した電荷を増幅用トランジスタのゲート端子へ転送する転送用トランジスタと、増幅用トランジスタのゲート端子の電荷を放電する放電用トランジスタと、増幅用トランジスタから出力される電圧値を選択的に出力する選択用トランジスタとを各々含み、M行N列に2次元配列されたM×N個の画素部 $P_{m,n}$ と、(2) M×N個の画素部 $P_{m,n}$ それぞれの選択用トランジスタから出力される電圧値を読み出す画素データ読出部と、(3) M×N個の画素部 $P_{m,n}$ の各行について、該行にあるN個の画素部 $P_{m,1} \sim P_{m,n}$ それぞれの選択用トランジスタから出力される電圧値を加算して、その加算結果に応じた電圧値を出力する第1加算部と、(4) M×N個の画素部 $P_{m,n}$ の各列について、該列にあるM個の画素部 $P_{1,n} \sim P_{m,n}$ それぞれの選択用トランジスタから出力される電圧値を加算して、その加算結果に応じた電圧値を出力する第2加算部と、を備えることを特徴とする。ただし、MおよびNそれぞれは2以上の整数であり、mは1以上M以下の各整 50

数であり、 n は1以上 N 以下の各整数である。

【0007】

この光検出装置では、 M 行 N 列に2次元配列された画素部 $P_{m,n}$ の何れかに光が入射すると、その画素部 $P_{m,n}$ に含まれるフォトダイオードは入射光強度に応じた量の電荷を発生する。その電荷は転送用トランジスタを経て増幅用トランジスタのゲート端子に入力し、その電荷量に応じて増幅用トランジスタから出力される電圧値は選択用トランジスタを経て画素部から出力される。画素部から出力された電圧値は画素データ読出部により読み出されて、これにより撮像が行なわれる。

【0008】

また、画素部から出力された電圧値は、第1加算部および第2加算部にも入力する。第1加算部では、 $M \times N$ 個の画素部 $P_{m,n}$ の各行について、該行にある N 個の画素部 $P_{m,1} \sim P_{m,N}$ それぞれの選択用トランジスタから出力される電圧値が加算されて、その加算結果に応じた電圧値が出力される。第2加算部では、 $M \times N$ 個の画素部 $P_{m,n}$ の各列について、該列にある M 個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれの選択用トランジスタから出力される電圧値が加算されて、その加算結果に応じた電圧値が出力される。これら第1加算部および第2加算部それぞれから出力される電圧値に基づいて、受光面上の2方向それぞれの入射光強度分布が検出される。

【0009】

本発明に係る光検出装置では、第1加算部は、各行に対して1つの加算回路を有しているが、 $M \times N$ 個の画素部 $P_{m,n}$ に対して1つの加算回路を有するのが好適である。後者の場合、この加算回路は、(1) 各列について M 個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれの選択用トランジスタに結合容量素子を介して入力端子が接続されている増幅器と、(2) 増幅器の入力端子と出力端子との間に設けられ、入力端子に流入した電荷を蓄積する帰還容量素子と、を備えるのが好適である。

【0010】

この場合、第 m 行の N 個の画素部 $P_{m,1} \sim P_{m,N}$ それぞれの選択用トランジスタから入射光強度に応じた電圧値が出力されているとき、第 m 行第 n 列の画素部 $P_{m,n}$ から出力される電圧値は、第 n 列の結合容量素子に入力して、その電圧値に応じた量の電荷が第 n 列の結合容量素子に蓄積される。そして、 N 個の結合容量素子それぞれに蓄積された電荷の総量に等しい量の電荷が帰還容量素子に蓄積され、この帰還容量素子に蓄積された電荷の量に応じた電圧値が増幅器から出力される。この増幅器から出力される電圧値が第1加算部の出力値となる。このような処理が各行について行なわれる。

【0011】

本発明に係る光検出装置では、第2加算部は、 $M \times N$ 個の画素部 $P_{m,n}$ の各列に対して1つの加算回路を有するのが好適である。第 n 列の加算回路は、(1) 第 n 列の M 個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれの選択用トランジスタに結合容量素子および結合スイッチを介して入力端子が接続されている増幅器と、(2) 増幅器の入力端子と出力端子との間に設けられ、結合容量素子から結合スイッチを介して入力端子に流入した電荷を蓄積する帰還容量素子と、(3) 結合容量素子を放電する放電手段と、を備えるのが好適である。

【0012】

この場合、第 m 行の N 個の画素部 $P_{m,1} \sim P_{m,N}$ それぞれの選択用トランジスタから入射光強度に応じた電圧値が出力されているとき、第 m 行第 n 列の画素部 $P_{m,n}$ から出力される電圧値は、第 n 列の加算回路に入力する。第 n 列の加算回路において、該電圧値は結合容量素子に入力して、その電圧値に応じた量の電荷が結合容量素子に蓄積され、さらに、この結合容量素子に蓄積された電荷の量に等しい量の電荷が帰還容量素子に累積的に蓄積される。このような処理が各行について行なわれ、各行についての処理の間に放電手段により結合容量素子が放電される。帰還容量素子における電荷の累積的な蓄積は、この放電手段および結合スイッチの作用により行なわれる。そして、第1行～第 M 行についての上記処理が終了すると、第 n 列の加算回路において、帰還容量素子に蓄積された電荷の量に応じた電圧値が増幅器から出力される。この増幅器から出力される電圧値が第2加算部の

出力値となる。

【0013】

本発明に係る光検出装置では、第2加算部は、 $M \times N$ 個の画素部 $P_{m,n}$ に対して1つの加算回路を有するの好適である。この加算回路は、(1) 各列について M 個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれの選択用トランジスタに結合容量素子および結合スイッチを介して入力端子が接続されている増幅器と、(2) 増幅器の入力端子と出力端子との間に設けられ、結合容量素子から結合スイッチを介して入力端子に流入した電荷を蓄積する N 組の縦続接続された帰還容量素子およびスイッチと、(3) 結合容量素子を放電する放電手段と、を備えるのが好適である。

【0014】

この場合、第 m 行の N 個の画素部 $P_{m,1} \sim P_{m,N}$ それぞれの選択用トランジスタから入射光強度に応じた電圧値が出力されているとき、第 m 行第 n 列の画素部 $P_{m,n}$ から出力される電圧値は、第 n 列の結合容量素子に入力して、その電圧値に応じた量の電荷が第 n 列の結合容量素子に蓄積され、さらに、この第 n 列の結合容量素子に蓄積された電荷の量に等しい量の電荷が第 n の帰還容量素子に累積的に蓄積される。このような処理が各行について行なわれ、各行についての処理の間に放電手段により結合容量素子が放電される。帰還容量素子における電荷の累積的な蓄積は、この放電手段および結合スイッチの作用により行なわれる。そして、第1行～第 M 行についての上記処理が終了すると、各々の帰還容量素子に蓄積された電荷の量に応じた電圧値が増幅器から出力される。この増幅器から出力される電圧値が第2加算部の出力値となる。

【0015】

本発明に係る光検出装置は、画素データ読出部による撮像と、第1加算部および第2加算部による入射光強度分布検出とを、交互に行なってもよい。また、画素データ読出部による撮像、第1加算部による入射光強度分布検出、および、第2加算部による入射光強度分布検出、の3つの処理を、順繰りに行なってもよい。しかし、画素データ読出部、第1加算部および第2加算部が並列的に処理を行なうのが好適である。このように並列動作することにより、撮像のフレームレートを低下させることなく、撮像と入射光強度分布検出とを同時に行なうことができる。

【発明の効果】

【0016】

本発明によれば、受光面上の2方向それぞれの入射光強度分布検出および撮像の双方を高感度に行なうことができる。

【発明を実施するための最良の形態】

【0017】

以下、添付図面を参照して、本発明を実施するための最良の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。また、 M および N それぞれは2以上の整数であり、特に明示しない限りは、 m は1以上 M 以下の任意の整数であり、 n は1以上 N 以下の任意の整数である。

【0018】

(第1実施形態)

先ず、本発明に係る光検出装置の第1実施形態について説明する。図1は、第1実施形態に係る光検出装置1の概略構成図である。この図に示される光検出装置1は、受光部10、画素データ読出部20、第1加算部30、第2加算部40およびタイミング制御部50を有する。これらは、共通の半導体基板上に形成されているのが好適であり、その場合の基板上的配置が図示のとおりであるのが好適である。なお、タイミング制御部50は、この光検出装置1の全体の動作を制御するものであるが、複数の部分に分割されて互いに離れて基板上に配置されていてもよい。

【0019】

受光部10は、 M 行 N 列に2次元配列された $M \times N$ 個の画素部 $P_{m,n}$ を有する。各画素部 $P_{m,n}$ は第 m 行第 n 列に位置する。各画素部 $P_{m,n}$ は、共通の構成を有しており、フォト

ダイオードを含むアクティブピクセル型のものであり、該フォトダイオードに入射した光の強度に応じた電圧値を配線 L_n へ出力する。各配線 L_n は、第 n 列にある M 個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれの出力端に共通に接続されている。

【0020】

画素データ読出部20は、 N 本の配線 $L_1 \sim L_N$ と接続されており、各画素部 $P_{m,n}$ から配線 L_n へ出力される電圧値を入力して、所定の処理を行なった後に、画素データを表す電圧値 $V_{out,m,n}$ を順次出力する。各電圧値 $V_{out,m,n}$ は、第 m 行第 n 列に位置する画素部 $P_{m,n}$ へ入射する光の強度に応じた値である。

【0021】

第1加算部30は、 N 本の配線 $L_1 \sim L_N$ と接続されており、 $M \times N$ 個の画素部 $P_{m,n}$ の各行について、該行にある N 個の画素部 $P_{m,1} \sim P_{m,N}$ それぞれから配線 L_n へ出力される電圧値を加算して、その加算結果である電圧値 $V_{v,n}$ を順次出力する。各電圧値 $V_{v,n}$ は、第 m 行にある N 個の画素部 $P_{m,1} \sim P_{m,N}$ それぞれへ入射する光の強度の総和に応じた値である。 10

【0022】

第2加算部40は、 N 本の配線 $L_1 \sim L_N$ と接続されており、 $M \times N$ 個の画素部 $P_{m,n}$ の各列について、該列にある M 個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれから配線 L_n へ出力される電圧値を加算して、その加算結果である電圧値 $V_{h,n}$ を順次出力する。各電圧値 $V_{h,n}$ は、第 n 列にある M 個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれへ入射する光の強度の総和に応じた値である。 20

【0023】

タイミング制御部50は、受光部10、画素データ読出部20、第1加算部30および第2加算部40それぞれの動作を制御するものである。タイミング制御部50は、例えばシフトレジスタ回路により所定のタイミングで各種の制御信号を発生させて、これらの制御信号を受光部10、画素データ読出部20、第1加算部30および第2加算部40それぞれへ送出する。なお、図1では、制御信号を送る為の配線の図示が一部省略されている。

【0024】

図2は、第1実施形態に係る光検出装置1の画素データ読出部20の構成図である。画素データ読出部20は、 N 個の電圧保持部 $H_1 \sim H_N$ 、2つの電圧フォロワ回路 F_1 、 F_2 、および、減算回路 S を有する。各電圧保持部 H_n は、共通の構成を有していて、配線 L_n と接続されており、第 n 列にある M 個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれから配線 L_n へ出力される電圧値を入力して保持することができ、また、その保持している電圧値を出力することができる。 N 個の電圧保持部 $H_1 \sim H_N$ それぞれは順次に電圧値を出力する。各電圧保持部 H_n が保持し出力する電圧値は、画素部 $P_{m,n}$ から互いに異なる時刻に出力される2つの電圧値 $V_{n,1}$ 、 $V_{n,2}$ である。 30

【0025】

2つの電圧フォロワ回路 F_1 、 F_2 それぞれは、共通の構成を有しており、増幅器の反転入力端子と出力端子とが互いに直接に接続されており、高入力インピーダンスおよび低出力インピーダンスを有し、理想的には増幅率1の増幅回路である。一方の電圧フォロワ回路 F_1 は、 N 個の電圧保持部 $H_1 \sim H_N$ それぞれから順次に出力される一方の電圧値 $V_{n,1}$ を非反転入力端子に入力する。他方の電圧フォロワ回路 F_2 は、 N 個の電圧保持部 $H_1 \sim H_N$ それぞれから順次に出力される他方の電圧値 $V_{n,2}$ を非反転入力端子に入力する。 40

【0026】

減算回路 S は、増幅器および4個の抵抗器 $R_1 \sim R_4$ を有している。増幅器の反転入力端子は、抵抗器 R_1 を介して電圧フォロワ回路 F_1 の出力端子と接続され、抵抗器 R_3 を介して自己の出力端子と接続されている。増幅器の非反転入力端子は、抵抗器 R_2 を介して電圧フォロワ回路 F_2 の出力端子と接続され、抵抗器 R_4 を介して接地電位と接続されている。電圧フォロワ回路 F_1 、 F_2 それぞれの増幅率を1として、4個の抵抗器 $R_1 \sim R_4$ それぞれの抵抗値が互いに等しいとすると、減算回路 S の出力端子から出力される電圧値 V_{out} 、 50

n, n は「 $V_{out, n, n} = V_{n, 2} - V_{n, 1}$ 」なる式で表される。

【0027】

図3は、第1実施形態に係る光検出装置1の画素部 $P_{n, n}$ および電圧保持部 H_n それぞれの回路図である。この図では簡便の為に1つの画素部 $P_{n, n}$ および1つの電圧保持部 H_n が代表して示されている。各画素部 $P_{n, n}$ は、入射光強度に応じた量の電荷を発生するフォトダイオードPD、ゲート端子に入力している電荷の量に応じた電圧値を出力する増幅用トランジスタ T_1 、フォトダイオードPDで発生した電荷を増幅用トランジスタ T_1 のゲート端子へ転送する為の転送用トランジスタ T_2 、増幅用トランジスタ T_1 のゲート端子の電荷を放電する為の放電用トランジスタ T_3 、および、増幅用トランジスタ T_1 から出力される電圧値を外部の配線 L_n へ出力する為の選択用トランジスタ T_4 を含む。

10

【0028】

フォトダイオードPDは、そのアノード端子が接地電位とされている。増幅用トランジスタ T_1 は、そのドレイン端子がバイアス電位とされている。転送用トランジスタ T_2 は、そのドレイン端子が増幅用トランジスタ T_1 のゲート端子に接続され、そのソース端子がフォトダイオードPDのカソード端子に接続されている。放電用トランジスタ T_3 は、そのソース端子が増幅用トランジスタ T_1 のゲート端子に接続され、そのドレイン端子がバイアス電位とされている。選択用トランジスタ T_4 は、そのソース端子が増幅用トランジスタ T_1 のソース端子と接続され、そのドレイン端子が配線 L_n と接続されている。また、この配線 L_n には定電流源が接続されている。増幅用トランジスタ T_1 および選択用トランジスタ T_4 は、ソースフォロワ回路を構成している。

20

【0029】

なお、定電流源は列毎に配線 L_n に接続されて設けられていてもよい。また、例えば、各配線 L_n と画素データ読出部20との間にスイッチを設けて、これらのスイッチを順次に閉じることで、第 m 行の N 個の画素部 $P_{n, 1} \sim P_{n, N}$ それぞれから出力される電圧値を画素データ読出部20が順次に読み出す場合には、これらのスイッチと画素データ読出部20との間の配線に定電流源が1つだけ設けられていてもよい。

【0030】

転送用トランジスタ T_2 は、そのゲート端子に転送制御信号 S_{trans} を入力し、その転送制御信号 S_{trans} がハイレベルであるときに、フォトダイオードPDで発生した電荷を増幅用トランジスタ T_1 のゲート端子へ転送する。放電用トランジスタ T_3 は、そのゲート端子に放電制御信号 S_{reset} を入力し、その放電制御信号 S_{reset} がハイレベルであるときに、増幅用トランジスタ T_1 のゲート端子の電荷を放電する。選択用トランジスタ T_4 は、そのゲート端子に第 m 行選択制御信号 $S_{select, m}$ を入力し、その第 m 行選択制御信号 $S_{select, m}$ がハイレベルであるときに、増幅用トランジスタ T_1 から出力される電圧値を外部の配線 L_n へ出力する。

30

【0031】

このように構成される各画素部 $P_{n, n}$ は、転送制御信号 S_{trans} がローレベルであって放電制御信号 S_{reset} がハイレベルとなることで、増幅用トランジスタ T_1 のゲート端子の電荷が放電され、第 m 行選択制御信号 $S_{select, m}$ がハイレベルであれば、その初期化状態にある増幅用トランジスタ T_1 から出力される電圧値（暗信号成分）が選択用トランジスタ T_4 を経て配線 L_n に出力される。一方、放電制御信号 S_{reset} がローレベルであって、転送制御信号 S_{trans} および第 m 行選択制御信号 $S_{select, m}$ それぞれがハイレベルであれば、フォトダイオードPDで発生した電荷は増幅用トランジスタ T_1 のゲート端子に入力して、その電荷の量に応じて増幅用トランジスタ T_1 から出力される電圧値（明信号成分）が選択用トランジスタ T_4 を経て配線 L_n に出力される。

40

【0032】

電圧保持部 H_n は、第1保持部 $H_{n, 1}$ および第2保持部 $H_{n, 2}$ を含む。第1保持部 $H_{n, 1}$ および第2保持部 $H_{n, 2}$ それぞれは、互いに同様の構成であり、第 n 列にある M 個の画素部 $P_{1, n} \sim P_{M, n}$ それぞれの選択用トランジスタ T_4 から順次に出力される電圧値を入力して保持することができ、また、その保持している電圧値を出力することができる。

50

【0033】

第1保持部 $H_{n,1}$ は、トランジスタ T_{11} 、トランジスタ T_{12} および容量素子 C_1 を含む。容量素子 C_1 の一端は接地電位とされ、容量素子 C_1 の他端は、トランジスタ T_{11} のドレイン端子およびトランジスタ T_{12} のソース端子それぞれと接続されている。トランジスタ T_{11} のソース端子は、配線 L_n を介して画素部 $P_{m,n}$ の選択用トランジスタ T_4 と接続されている。トランジスタ T_{12} のドレイン端子は、電圧フォロワ回路 F_1 と接続されている。このように構成される第1保持部 $H_{n,1}$ は、トランジスタ T_{11} のゲート端子に入力する第1入力制御信号 $S_{input,1}$ がハイレベルであるときに、配線 L_n を介して接続されている画素部 $P_{m,n}$ から出力される電圧値を容量素子 C_1 に保持させ、トランジスタ T_{12} のゲート端子に入力する出力制御信号 $S_{output,n}$ がハイレベルであるときに、容量素子 C_1 に保持されている電圧値 $V_{n,1}$ を電圧フォロワ回路 F_1 へ出力する。 10

【0034】

第2保持部 $H_{n,2}$ は、トランジスタ T_{21} 、トランジスタ T_{22} および容量素子 C_2 を含む。容量素子 C_2 の一端は接地電位とされ、容量素子 C_2 の他端は、トランジスタ T_{21} のドレイン端子およびトランジスタ T_{22} のソース端子それぞれと接続されている。トランジスタ T_{21} のソース端子は、配線 L_n を介して画素部 $P_{m,n}$ の選択用トランジスタ T_4 と接続されている。トランジスタ T_{22} のドレイン端子は、電圧フォロワ回路 F_2 と接続されている。このように構成される第2保持部 $H_{n,2}$ は、トランジスタ T_{21} のゲート端子に入力する第2入力制御信号 $S_{input,2}$ がハイレベルであるときに、配線 L_n を介して接続されている画素部 $P_{m,n}$ から出力される電圧値を容量素子 C_2 に保持させ、トランジスタ T_{22} のゲート端子に入力する出力制御信号 $S_{output,n}$ がハイレベルであるときに、容量素子 C_2 に保持されている電圧値 $V_{n,2}$ を電圧フォロワ回路 F_2 へ出力する。 20

【0035】

第1保持部 $H_{n,1}$ および第2保持部 $H_{n,2}$ それぞれは、互いに異なるタイミングで動作する。例えば、第1保持部 $H_{n,1}$ は、配線 L_n を介して接続されている画素部 $P_{m,n}$ において転送制御信号 S_{trans} がローレベルであって放電制御信号 S_{reset} および第 m 行選択制御信号 $S_{select,m}$ それぞれがハイレベルであるときに増幅用トランジスタ T_1 から出力される電圧値（暗信号成分） $V_{n,1}$ を入力して保持する。一方、第2保持部 $H_{n,2}$ は、配線 L_n を介して接続されている画素部 $P_{m,n}$ において放電制御信号 S_{reset} がローレベルであって転送制御信号 S_{trans} および第 m 行選択制御信号 $S_{select,m}$ それぞれがハイレベルであるときに増幅用トランジスタ T_1 から出力される電圧値（明信号成分） $V_{n,2}$ を入力して保持する。 30

【0036】

なお、転送制御信号 S_{trans} 、放電制御信号 S_{reset} 、第 m 行選択制御信号 $S_{select,m}$ 、第1入力制御信号 $S_{input,1}$ 、第2入力制御信号 $S_{input,2}$ および第 n 列出力制御信号 $S_{output,n}$ それぞれは、タイミング制御部50から出力される。

【0037】

図4は、第1実施形態に係る光検出装置1の第1加算部30の回路図である。第1加算部30は、全体で1つの加算回路を構成していて、増幅器 A_v 、スイッチ SW_v 、帰還容量素子 C_v および N 個の結合容量素子 $C_{v,1} \sim C_{v,N}$ を有する。スイッチ SW_v および帰還容量素子 C_v は、増幅器 A_v の入力端子と出力端子との間に並列的に設けられている。各結合容量素子 $C_{v,n}$ は、一端が増幅器 A_v の入力端子と接続され、他端が配線 L_n と接続されている。すなわち、増幅器 A_v の入力端子は、画素部 $P_{m,n}$ の選択用トランジスタ T_4 に結合容量素子 $C_{v,n}$ を介して接続されている。 N 個の結合容量素子 $C_{v,1} \sim C_{v,N}$ それぞれの容量値は互いに等しい。スイッチ SW_v の開閉動作は、タイミング制御部50から出力される制御信号により制御される。 40

【0038】

この第1加算部30は、スイッチ SW_v が閉じているときには、帰還容量素子 C_v を放電する。一方、この第1加算部30は、スイッチ SW_v が開いているときには、画素部 $P_{m,n}$ から配線 L_n へ出力されている電圧値に応じた量の電荷を結合容量素子 $C_{v,n}$ に蓄積し、 N 50

個の結合容量素子 $C_{v,1} \sim C_{v,N}$ それぞれに蓄積した電荷の総量に等しい量の電荷を帰還容量素子 C_v に蓄積して、この帰還容量素子 C_v に蓄積した電荷の量に応じた電圧値 $V_{v,m}$ を出力する。すなわち、この出力される電圧値 $V_{v,m}$ は、 N 本の配線 $L_1 \sim L_N$ それぞれへ出力されている電圧値の総和に応じたものである。

【0039】

図5は、第1実施形態に係る光検出装置1の第2加算部40の回路図である。本実施形態における第2加算部40は、 N 個の加算回路 $41_1 \sim 41_N$ を有している。各加算回路 41_n は、共通の構成を有していて、配線 L_n と接続されており、第 n 列にある M 個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれから配線 L_n へ出力される電圧値を入力し、電圧値 $V_{H,n}$ を順次に出

10

【0040】

各加算回路 41_n は、増幅器 A_H 、帰還容量素子 $C_{H,1}$ 、結合容量素子 $C_{H,2}$ 、および、4つのスイッチ $SW_{H,1} \sim SW_{H,4}$ を有する。スイッチ $SW_{H,1}$ および帰還容量素子 $C_{H,1}$ は、増幅器 A_H の入力端子と出力端子との間に並列的に設けられている。結合容量素子 $C_{H,2}$ の一端は、スイッチ $SW_{H,2}$ を介してリセット電位と接続され、スイッチ $SW_{H,3}$ を介して増幅器 A_H の入力端子と接続されており、結合容量素子 $C_{H,2}$ の他端は、配線 L_n と接続されている。スイッチ $SW_{H,4}$ は、一端が増幅器 A_H の出力端子に接続されている。すなわち、増幅器 A_H の入力端子は、第 n 列の M 個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれの選択用トランジスタ T_4 に、スイッチ $SW_{H,3}$ および結合容量素子 $C_{H,2}$ を介して接続されている。

【0041】

N 個の加算回路 $41_1 \sim 41_N$ それぞれに含まれる帰還容量素子 $C_{H,1}$ の容量値は互いに等しく、 N 個の加算回路 $41_1 \sim 41_N$ それぞれに含まれる結合容量素子 $C_{H,2}$ の容量値は互いに等しい。スイッチ $SW_{H,1} \sim SW_{H,4}$ それぞれの開閉動作は、タイミング制御部50から出力される制御信号により制御される。

20

【0042】

各加算回路 41_n は、スイッチ $SW_{H,1}$ が閉じているときには、帰還容量素子 $C_{H,1}$ を放電する。各加算回路 41_n は、スイッチ $SW_{H,2}$ が閉じていて、スイッチ $SW_{H,3}$ が開いているときには、結合容量素子 $C_{H,2}$ を放電する。また、各加算回路 41_n は、スイッチ $SW_{H,1}$ が開いているときに、スイッチ $SW_{H,2}$ が開き、スイッチ $SW_{H,3}$ が閉じると、画素部 $P_{m,n}$ から配線 L_n へ出力されている電圧値に応じた量の電荷を帰還容量素子 $C_{H,1}$ に累積して蓄積する。そして、各加算回路 41_n は、スイッチ $SW_{H,4}$ が閉じているときに、帰還容量素子 $C_{H,1}$ に蓄積した電荷の量に応じた電圧値 $V_{H,n}$ を出力する。すなわち、この出力される電圧値 $V_{H,n}$ は、第 n 列にある M 個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれから配線 L_n へ出力される電圧値の総和に応じたものである。

30

【0043】

次に、第1実施形態に係る光検出装置1の動作例について説明する。図6は、第1実施形態に係る光検出装置1の動作例を説明するタイミングチャートである。この図は、第1行の各画素部 $P_{1,n}$ および第2行の各画素部 $P_{2,n}$ それぞれのデータを読み出す時間範囲を示している。

【0044】

この図には、上から順に、各画素部 $P_{m,n}$ の放電用トランジスタ T_3 のゲート端子に入力する放電制御信号 S_{reset} 、各画素部 $P_{m,n}$ の転送用トランジスタ T_2 のゲート端子に入力する転送制御信号 S_{trans} 、第1行の画素部 $P_{1,n}$ の選択用トランジスタ T_4 のゲート端子に入力する第1行選択制御信号 $S_{select,1}$ 、および、第2行の画素部 $P_{2,n}$ の選択用トランジスタ T_4 のゲート端子に入力する第2行選択制御信号 $S_{select,2}$ 、それぞれの波形が示されている。

40

【0045】

続いて、各電圧保持部 H_n の第1保持部 $H_{n,1}$ のトランジスタ T_{11} のゲート端子に入力する第1入力制御信号 $S_{input,1}$ 、各電圧保持部 H_n の第2保持部 $H_{n,2}$ のトランジスタ T_{21} のゲート端子に入力する第2入力制御信号 $S_{input,2}$ 、第1列の電圧保持部 H_1 のトランジ

50

スタ T_{12} および T_{22} それぞれのゲート端子に入力する第1列出力制御信号 $S_{output,1}$ 、第 N 列の電圧保持部 H_n のトランジスタ T_{12} および T_{22} それぞれのゲート端子に入力する第 N 列出力制御信号 $S_{output,N}$ 、および、画素データ読出部 20 から出力される電圧値 $V_{out,n,n}$ 、それぞれの波形が示されている。

【0046】

更に続いて、第1加算部 30 のスイッチ SW_v の開閉、第1加算部 30 から出力される電圧値 $V_{v,n}$ の波形、第2加算部 40 の各加算回路 41_n のスイッチ $SW_{H,1} \sim SW_{H,3}$ それぞれの開閉、および、第2加算部 40 の各加算回路 41_n の増幅器 A_H から出力される電圧値の波形、が示されている。

【0047】

時刻 t_{10} 前において、各画素部 $P_{n,n}$ に入力している放電制御信号 S_{reset} 、転送制御信号 S_{trans} および第 n 行選択制御信号 $S_{select,n}$ それぞれはローレベルである。また、画素データ読出部 20 の各電圧保持部 H_n に入力している第1入力制御信号 $S_{input,1}$ 、第2入力制御信号 $S_{input,2}$ および第 n 列出力制御信号 $S_{output,n}$ それぞれもローレベルである。

【0048】

時刻 t_{10} から時刻 t_{20} までの間に第1行の各画素部 $P_{1,n}$ のデータの読み出しが行なわれる。画素部 $P_{1,n}$ において、放電制御信号 S_{reset} は、時刻 t_{10} にハイレベルに転じて、時刻 t_{10} より後の時刻 t_{11} にローレベルに転じる。転送制御信号 S_{trans} は、時刻 t_{11} より後の時刻 t_{12} にハイレベルに転じて、時刻 t_{12} より後の時刻 t_{13} にローレベルに転じる。第1行選択制御信号 $S_{select,1}$ は、時刻 t_{10} にハイレベルに転じる。

【0049】

画素データ読出部 20 の各電圧保持部 H_n において、第1入力制御信号 $S_{input,1}$ は、放電制御信号 S_{reset} がローレベルに転じる時刻 t_{11} から、転送制御信号 S_{trans} がハイレベルに転じる時刻 t_{12} までの、間にある一定期間だけハイレベルとなる。これにより、この間に画素部 $P_{1,n}$ から配線 L_n に出力される電圧値（暗信号成分）は、電圧保持部 H_n の第1保持部 $H_{n,1}$ により保持される。

【0050】

また、画素データ読出部 20 の各電圧保持部 H_n において、第2入力制御信号 $S_{input,2}$ は、転送制御信号 S_{trans} がハイレベルである時刻 t_{12} から時刻 t_{13} までの間の一定期間だけハイレベルとなる。これにより、この間に画素部 $P_{1,n}$ から配線 L_n に出力される電圧値（明信号成分）は、電圧保持部 H_n の第2保持部 $H_{n,2}$ により保持される。

【0051】

そして、時刻 t_{13} より後の時刻 t_{14} から時刻 t_{15} までの間に、出力制御信号 $S_{output,1} \sim S_{output,N}$ それぞれは、順次に一定期間だけハイレベルとなる。第 n 列出力制御信号 $S_{output,n}$ がハイレベルである期間には、電圧保持部 H_n に保持されていた第1行第 n 列の画素部 $P_{1,n}$ の暗信号成分および明信号成分が電圧保持部 H_n から出力され、これら暗信号成分と明信号成分との差が減算回路 S により求められて、画素部 $P_{1,n}$ に入射した光の強度に応じた電圧値 $V_{out,1,n}$ が画素データ読出部 20 から出力される。このようにして、時刻 t_{14} から時刻 t_{15} までの間に、第1行の N 個の画素部 $P_{1,1} \sim P_{1,N}$ それぞれに入射した光の強度に応じた電圧値 $V_{out,1,1} \sim V_{out,1,N}$ が画素データ読出部 20 から順次に出力される。なお、この期間に出力される各電圧値 $V_{out,1,n}$ のレベルは、画素部 $P_{1,n}$ に入射した光の強度に応じたレベルであり、一般には n 値により異なる。その後、時刻 t_{15} に第1行選択制御信号 $S_{select,1}$ はローレベルに転じる。以上により、第1行の各画素部 $P_{1,n}$ のデータの読み出しが終了する。

【0052】

続いて、時刻 t_{20} から時刻 t_{30} までの間に第2行の各画素部 $P_{2,n}$ のデータの読み出しが行なわれる。画素部 $P_{2,n}$ において、放電制御信号 S_{reset} は、時刻 t_{20} にハイレベルに転じて、時刻 t_{20} より後の時刻 t_{21} にローレベルに転じる。転送制御信号 S_{trans} は、時刻 t_{21} より後の時刻 t_{22} にハイレベルに転じて、時刻 t_{22} より後の時刻 t_{23} にローレベル

に転じる。第2行選択制御信号 $S_{select,2}$ は、時刻 t_{20} にハイレベルに転じる。

【0053】

画素データ読出部20の各電圧保持部 H_n において、第1入力制御信号 $S_{input,1}$ は、放電制御信号 S_{reset} がローレベルに転じる時刻 t_{21} から、転送制御信号 S_{trans} がハイレベルに転じる時刻 t_{22} までの、間にある一定期間だけハイレベルとなる。これにより、この間に画素部 $P_{2,n}$ から配線 L_n に出力される電圧値（暗信号成分）は、電圧保持部 H_n の第1保持部 $H_{n,1}$ により保持される。

【0054】

また、画素データ読出部20の各電圧保持部 H_n において、第2入力制御信号 $S_{input,2}$ は、転送制御信号 S_{trans} がハイレベルである時刻 t_{22} から時刻 t_{23} までの間の一定期間だけハイレベルとなる。これにより、この間に画素部 $P_{2,n}$ から配線 L_n に出力される電圧値（明信号成分）は、電圧保持部 H_n の第2保持部 $H_{n,2}$ により保持される。

【0055】

そして、時刻 t_{23} より後の時刻 t_{24} から時刻 t_{25} までの間に、出力制御信号 $S_{output,1} \sim S_{output,N}$ それぞれは、順次に一定期間だけハイレベルとなる。第 n 列出力制御信号 $S_{output,n}$ がハイレベルである期間には、電圧保持部 H_n に保持されていた第2行第 n 列の画素部 $P_{2,n}$ の暗信号成分および明信号成分が電圧保持部 H_n から出力され、これら暗信号成分と明信号成分との差が減算回路 S により求められて、画素部 $P_{2,n}$ に入射した光の強度に応じた電圧値 $V_{out,2,n}$ が画素データ読出部20から出力される。このようにして、時刻 t_{24} から時刻 t_{25} までの間に、第2行の N 個の画素部 $P_{2,1} \sim P_{2,N}$ それぞれに入射した光の強度に応じた電圧値 $V_{out,2,1} \sim V_{out,2,N}$ が画素データ読出部20から順次に出力される。なお、この期間に出力される各電圧値 $V_{out,2,n}$ のレベルは、画素部 $P_{2,n}$ に入射した光の強度に応じたレベルであり、一般には n 値により異なる。その後、時刻 t_{25} に第2行選択制御信号 $S_{select,2}$ はローレベルに転じる。以上により、第2行の各画素部 $P_{2,n}$ のデータの読み出しが終了する。

【0056】

以降も同様にして順次に各行の画素部 $P_{m,n}$ のデータが読み出されていく。このようにして、画素データ読出部20により、第1行～第 M 行それぞれについて順次に、各行の N 個の画素部 $P_{m,1} \sim P_{m,N}$ それぞれに入射した光の強度に応じた電圧値 $V_{out,m,1} \sim V_{out,m,N}$ が順次に出力される。また、この画素データ読出部20による電圧値 $V_{out,m,n}$ の読み出しと並列的に、第1加算部30および第2加算部40それぞれによる処理が以下のように行なわれる。

【0057】

第1加算部30は以下のように動作する。スイッチ SW_v は時刻 t_{10} から時刻 t_{12} までの期間に閉じて、これにより帰還容量素子 C_v が放電される。転送制御信号 S_{trans} がハイレベルに転じる時刻 t_{12} 以降、第1行の画素部 $P_{1,n}$ から配線 L_n に出力された電圧値（明信号成分）は結合容量素子 $C_{v,n}$ に入力し、この電圧値と結合容量素子 $C_{v,n}$ の容量値との積に応じた量の電荷が結合容量素子 $C_{v,n}$ に蓄積される。そして、これら N 個の結合容量素子 $C_{v,1} \sim C_{v,N}$ それぞれに蓄積された電荷の総量に等しい量の電荷が帰還容量素子 C_v に蓄積されて、この帰還容量素子 C_v に蓄積された電荷の量に応じた電圧値 $V_{v,1}$ が第1加算部30から出力される。この電圧値 $V_{v,1}$ は、第1行の N 個の画素部 $P_{1,1} \sim P_{1,N}$ それぞれから出力される電圧値の総和に応じたものである。同様にして、時刻 t_{22} 以降、第2行の N 個の画素部 $P_{2,1} \sim P_{2,N}$ それぞれから出力される電圧値の総和に応じた電圧値 $V_{v,2}$ が第1加算部30から出力される。以降も同様である。このようにして、第1加算部30から電圧値 $V_{v,1} \sim V_{v,M}$ が順次に出力される。電圧値 $V_{v,n}$ は、第 m 行の N 個の画素部 $P_{m,1} \sim P_{m,N}$ それぞれへ入射する光の強度の総和に応じた値である。

【0058】

第2加算部40の各加算回路 41_n は以下のように動作する。スイッチ $SW_{h,1}$ は時刻 t_{10} から時刻 t_{11} までの期間に閉じて、これにより帰還容量素子 $C_{h,1}$ が放電される。その後、各加算回路 41_n のスイッチ $SW_{h,1}$ は開いたままである。スイッチ $SW_{h,2}$ は時刻 t_1

t_{12} から時刻 t_{12} までの間にある一定期間だけ閉じて、これにより、結合容量素子 $C_{H,2}$ が放電される。スイッチ $SW_{H,3}$ は時刻 t_{12} から時刻 t_{13} までの間にある一定期間だけ閉じる。ここでスイッチ $SW_{H,3}$ が閉じると、第1行第 n 列の画素部 $P_{1,n}$ から配線 L_n に出力された電圧値（明信号成分）は加算回路 41_n の結合容量素子 $C_{H,2}$ に入力し、この電圧値と結合容量素子 $C_{H,2}$ の容量値との積に応じた量の電荷が結合容量素子 $C_{H,2}$ に蓄積される。そして、この結合容量素子 $C_{H,2}$ に蓄積された電荷の量に等しい量の電荷が帰還容量素子 $C_{H,1}$ に蓄積されて、この帰還容量素子 $C_{H,1}$ に蓄積された電荷の量に応じた電圧値が増幅器 A_H から出力される。このとき加算回路 41_n の増幅器 A_H から出力される電圧値は、第1行第 n 列の画素部 $P_{1,n}$ から出力される電圧値に応じたものである。

【0059】

10

続いて、スイッチ $SW_{H,2}$ は時刻 t_{21} から時刻 t_{22} までの間にある一定期間だけ閉じて、これにより、結合容量素子 $C_{H,2}$ が放電される。スイッチ $SW_{H,3}$ は時刻 t_{22} から時刻 t_{23} までの間にある一定期間だけ閉じる。ここでスイッチ $SW_{H,3}$ が閉じると、第2行第 n 列の画素部 $P_{2,n}$ から配線 L_n に出力された電圧値（明信号成分）は加算回路 41_n の結合容量素子 $C_{H,2}$ に入力し、この電圧値と結合容量素子 $C_{H,2}$ の容量値との積に応じた量の電荷が結合容量素子 $C_{H,2}$ に蓄積される。そして、この結合容量素子 $C_{H,2}$ に蓄積された電荷の量に等しい量の電荷が帰還容量素子 $C_{H,1}$ に累積的に蓄積されて、この帰還容量素子 $C_{H,1}$ に蓄積された電荷の量に応じた電圧値が増幅器 A_H から出力される。このとき加算回路 41_n の増幅器 A_H から出力される電圧値は、第1行第 n 列の画素部 $P_{1,n}$ および第2行第 n 列の画素部 $P_{2,n}$ それぞれから出力される電圧値の総和に応じたものである。

20

【0060】

以降も同様の動作が行なわれる。最終の第 M 行の画素部 $P_{M,n}$ から出力される電圧値についての処理が終了した時点では、加算回路 41_n の増幅器 A_H から出力される電圧値は、第 n 列の M 個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれから出力される電圧値の総和に応じたものである。そして、 N 個の加算回路 $41_1 \sim 41_N$ それぞれのスイッチ $SW_{H,4}$ が順次に閉じることにより、第2加算部 40 から電圧値 $V_{H,1} \sim V_{H,N}$ が順次に出力される。電圧値 $V_{H,n}$ は、第 n 列の M 個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれへ入射する光の強度の総和に応じた値である。

【0061】

以上のように、本実施形態に係る光検出装置1は、画素データ読出部20により電圧値 $V_{out,m,n}$ を読み出すことにより撮像することができ、また、第1加算部30により電圧値 $V_{v,m}$ を求めるとともに、第2加算部40により電圧値 $V_{H,n}$ を求めることにより、受光面上の2方向それぞれの入射光強度分布を検出することができる。

30

【0062】

また、各画素部 $P_{m,n}$ は撮像および入射光強度分布検出の双方に用いられ、受光部10における $M \times N$ 個の画素部 $P_{m,n}$ のレイアウトは従来の撮像装置と同様とすることができるので、撮像と入射光強度分布検出とを高感度に行なうことができる。また、上記の動作例のように撮像と入射光強度分布検出とを並列的行なうことができ、撮像のフレームレートを低下させることは無い。

【0063】

40

（第2実施形態）

次に、本発明に係る光検出装置の第2実施形態について説明する。図7は、第2実施形態に係る光検出装置2の概略構成図である。この図に示される光検出装置2は、受光部10、画素データ読出部20、第1加算部30、第2加算部40Aおよびタイミング制御部50Aを有する。これらは、共通の半導体基板上に形成されているのが好適であり、その場合の基板上の配置が図示のとおりであるのが好適である。なお、タイミング制御部50Aは、この光検出装置2の全体の動作を制御するものであるが、複数の部分に分割されて互いに離れて基板上に配置されていてもよい。

【0064】

第1実施形態に係る光検出装置1と比較すると、第2実施形態に係る光検出装置2は、

50

第2加算部40に替えて第2加算部40Aを備える点、および、タイミング制御部50に替えてタイミング制御部50Aを備える点、で相違する。第2実施形態に係る光検出装置2に含まれる受光部10、画素データ読出部20および第1加算部30それぞれは、第1実施形態におけるものと同様の構成である。

【0065】

図8は、第2実施形態に係る光検出装置2の第2加算部40Aの回路図である。第2実施形態における第2加算部40Aは、これ全体で1つの加算回路を構成している。第2加算部40Aは、増幅器 A_H 、N個の帰還容量素子 $C_{H,1,1} \sim C_{H,1,N}$ 、N個の結合容量素子 $C_{H,2,1} \sim C_{H,2,N}$ 、スイッチ SW_H 、スイッチ $SW_{H,2,1} \sim SW_{H,2,N}$ 、スイッチ $SW_{H,3,1} \sim SW_{H,3,N}$ 、および、スイッチ $SW_{H,4,1} \sim SW_{H,4,N}$ 、を有する。

10

【0066】

帰還容量素子 $C_{H,1,n}$ およびスイッチ $SW_{H,4,n}$ は、互いに縦続的に接続されている。帰還容量素子 $C_{H,1,n}$ およびスイッチ $SW_{H,4,n}$ の各組、ならびに、スイッチ SW_H は、増幅器 A_H の入力端子と出力端子との間に並列的に設けられている。結合容量素子 $C_{H,2,n}$ の一端は、スイッチ $SW_{H,2,n}$ を介してリセット電位と接続され、スイッチ $SW_{H,3,n}$ を介して増幅器 A_H の入力端子と接続されており、結合容量素子 $C_{H,2,n}$ の他端は、配線 L_n と接続されている。すなわち、増幅器 A_H の入力端子は、第n列のM個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれの選択用トランジスタ T_4 に結合容量素子 $C_{H,2,n}$ を介して接続されている。

【0067】

N個の帰還容量素子 $C_{H,1,1} \sim C_{H,1,N}$ それぞれの容量値は互いに等しく、N個の結合容量素子 $C_{H,2,1} \sim C_{H,2,N}$ それぞれの容量値は互いに等しい。スイッチ SW_H 、スイッチ $SW_{H,2,1} \sim SW_{H,2,N}$ 、スイッチ $SW_{H,3,1} \sim SW_{H,3,N}$ 、および、スイッチ $SW_{H,4,1} \sim SW_{H,4,N}$ それぞれの開閉動作は、タイミング制御部50Aから出力される制御信号により制御される。

【0068】

この第2加算部40Aは、スイッチ SW_H およびスイッチ $SW_{H,4,n}$ が閉じているときには、帰還容量素子 $C_{H,1,n}$ を放電する。第2加算部40Aは、スイッチ $SW_{H,2,n}$ が閉じているときには、結合容量素子 $C_{H,2,n}$ を放電する。また、第2加算部40Aは、スイッチ SW_H が開いていてスイッチ $SW_{H,4,n}$ が閉じているときに、スイッチ $SW_{H,2,n}$ が開き、スイッチ $SW_{H,3,n}$ が閉じると、画素部 $P_{n,n}$ から配線 L_n へ出力されている電圧値に応じた量の電荷を帰還容量素子 $C_{H,1,n}$ に累積して蓄積する。そして、第2加算部40Aは、スイッチ $SW_{H,4,n}$ が閉じているときに、帰還容量素子 $C_{H,1,n}$ に蓄積した電荷の量に応じた電圧値 $V_{H,n}$ を出力する。すなわち、この出力される電圧値 $V_{H,n}$ は、第n列にあるM個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれから配線 L_n へ出力される電圧値の総和に応じたものである。

【0069】

次に、第2実施形態に係る光検出装置2の動作例について説明する。図9は、第2実施形態に係る光検出装置2の動作例を説明するタイミングチャートである。この図は、第1行の各画素部 $P_{1,n}$ および第2行の各画素部 $P_{2,n}$ それぞれのデータを読み出す時間範囲を示している。

40

【0070】

この図には、上から順に、画素部 $P_{n,n}$ に入力する放電制御信号 S_{reset} 、転送制御信号 S_{trans} 、第1行選択制御信号 $S_{select,1}$ および第2行選択制御信号 $S_{select,2}$ 、それぞれの波形が示されている。続いて、電圧保持部 H_n に入力する第1入力制御信号 $S_{input,1}$ 、第2入力制御信号 $S_{input,2}$ 、第1列出力制御信号 $S_{output,1}$ および第N列出力制御信号 $S_{output,N}$ 、ならびに、画素データ読出部20から出力される電圧値 $V_{out,n,n}$ 、それぞれの波形が示されている。続いて、第1加算部30のスイッチ SW_v の開閉、および、第1加算部30から出力される電圧値 $V_{v,n}$ の波形、が示されている。

【0071】

以上までに挙げた各制御信号の波形およびスイッチの開閉、すなわち、各画素部 $P_{n,n}$

50

、画素データ読出部20および第1加算部30それぞれの動作は、第1実施形態の場合と同様である。したがって、画素データ読出部20から出力される電圧値 $V_{out,m,n}$ 、および、第1加算部30から出力される電圧値 $V_{v,m}$ も、第1実施形態の場合と同様である。

【0072】

図9には、更に続いて、第2加算部40Aのスイッチ SW_H 、 $SW_{H,2,n}$ 、 $SW_{H,3,1}$ 、 $SW_{H,4,1}$ 、 $SW_{H,3,n}$ および $SW_{H,4,n}$ それぞれの開閉、ならびに、第2加算部40Aの帰還容量素子 $C_{H,1,1}$ および $C_{H,1,n}$ それぞれに蓄積されている電荷の量、が示されている。

【0073】

第2実施形態でも、画素データ読出部20による電圧値 $V_{out,m,n}$ の読み出しと並列的に、第1加算部30および第2加算部40Aそれぞれによる処理が行なわれる。第2加算部40Aは以下のように動作する。

【0074】

スイッチ SW_H 、 $SW_{H,3,n}$ および $SW_{H,4,n}$ は時刻 t_{10} から時刻 t_{11} までの期間に閉じて、これにより帰還容量素子 $C_{H,1,n}$ が放電される。その後、スイッチ SW_H は開いたままである。スイッチ $SW_{H,2,n}$ は時刻 t_{11} から時刻 t_{12} までの間にある一定期間だけ閉じて、これにより、結合容量素子 $C_{H,2,n}$ が放電される。時刻 t_{14} から時刻 t_{15} までの間に、スイッチ $SW_{H,3,1} \sim SW_{H,3,n}$ およびスイッチ $SW_{H,4,1} \sim SW_{H,4,n}$ それぞれは、順次に一定期間だけ閉じる。第 n 列のスイッチ $SW_{H,3,n}$ および $SW_{H,4,n}$ が閉じると、第1行第 n 列の画素部 $P_{1,n}$ から配線 L_n に出力された電圧値（明信号成分）は結合容量素子 $C_{H,2,n}$ に入力し、この電圧値と結合容量素子 $C_{H,2,n}$ の容量値との積に応じた量の電荷が結合容量素子 $C_{H,2,n}$ に蓄積される。そして、この結合容量素子 $C_{H,2,n}$ に蓄積された電荷の量に等しい量の電荷が帰還容量素子 $C_{H,1,n}$ に蓄積される。このとき帰還容量素子 $C_{H,1,n}$ に蓄積される電荷の量は、第1行第 n 列の画素部 $P_{1,n}$ から出力される電圧値に応じたものである。

【0075】

続いて、スイッチ $SW_{H,2,n}$ は時刻 t_{21} から時刻 t_{22} までの間にある一定期間だけ閉じて、これにより、結合容量素子 $C_{H,2,n}$ が放電される。時刻 t_{24} から時刻 t_{25} までの間に、スイッチ $SW_{H,3,1} \sim SW_{H,3,n}$ およびスイッチ $SW_{H,4,1} \sim SW_{H,4,n}$ それぞれは、順次に一定期間だけ閉じる。第 n 列のスイッチ $SW_{H,3,n}$ および $SW_{H,4,n}$ が閉じると、第2行第 n 列の画素部 $P_{2,n}$ から配線 L_n に出力された電圧値（明信号成分）は結合容量素子 $C_{H,2,n}$ に入力し、この電圧値と結合容量素子 $C_{H,2,n}$ の容量値との積に応じた量の電荷が結合容量素子 $C_{H,2,n}$ に蓄積される。そして、この結合容量素子 $C_{H,2,n}$ に蓄積された電荷の量に等しい量の電荷が帰還容量素子 $C_{H,1,n}$ に累積的に蓄積される。このとき帰還容量素子 $C_{H,1,n}$ に蓄積される電荷の量は、第1行第 n 列の画素部 $P_{1,n}$ および第2行第 n 列の画素部 $P_{2,n}$ それぞれから出力される電圧値の総和に応じたものである。

【0076】

以降も同様の動作が行なわれる。最終の第 M 行の画素部 $P_{M,n}$ から出力される電圧値についての処理が終了した時点では、帰還容量素子 $C_{H,1,n}$ に蓄積されている電荷の量は、第 n 列の M 個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれから出力される電圧値の総和に応じたものである。そして、 N 個のスイッチ $SW_{H,4,1} \sim SW_{H,4,n}$ が順次に閉じることにより、第2加算部40Aから電圧値 $V_{H,1} \sim V_{H,N}$ が順次に出力される。電圧値 $V_{H,n}$ は、帰還容量素子 $C_{H,1,n}$ に蓄積されている電荷の量の量に応じた値であり、第 n 列の M 個の画素部 $P_{1,n} \sim P_{M,n}$ それぞれへ入射する光の強度の総和に応じた値である。

【0077】

以上のように、本実施形態に係る光検出装置2は、画素データ読出部20により電圧値 $V_{out,m,n}$ を読み出すことにより撮像することができ、また、第1加算部30により電圧値 $V_{v,m}$ を求めるとともに、第2加算部40Aにより電圧値 $V_{H,n}$ を求めることにより、受光面上の2方向それぞれの入射光強度分布を検出することができる。

【0078】

また、各画素部 $P_{m,n}$ は撮像および入射光強度分布検出の双方に用いられ、受光部10における $M \times N$ 個の画素部 $P_{m,n}$ のレイアウトは従来の撮像装置と同様とすることができるので、撮像と入射光強度分布検出とを高感度に行なうことができる。また、上記の動作例のように撮像と入射光強度分布検出とを並列的に行なうことができ、撮像のフレームレートを低下させることは無い。

【0079】

さらに、第1実施形態における第2加算部40はN個の増幅器を有するのに対して、第2実施形態における第2加算部40Aに含まれる増幅器は1個でいいので、第2実施形態に係る光検出装置2は、消費電力を低減することができ、また、基板上に形成される場合にはチップ面積を小さくすることができる。

10

【図面の簡単な説明】

【0080】

【図1】 第1実施形態に係る光検出装置1の概略構成図である。

【図2】 第1実施形態に係る光検出装置1の画素データ読出部20の構成図である。

【図3】 第1実施形態に係る光検出装置1の画素部 $P_{m,n}$ および電圧保持部 H_n それぞれの回路図である。

【図4】 第1実施形態に係る光検出装置1の第1加算部30の回路図である。

【図5】 第1実施形態に係る光検出装置1の第2加算部40の回路図である。

【図6】 第1実施形態に係る光検出装置1の動作例を説明するタイミングチャートである。

20

【図7】 第2実施形態に係る光検出装置2の概略構成図である。

【図8】 第2実施形態に係る光検出装置2の第2加算部40Aの回路図である。

【図9】 第2実施形態に係る光検出装置2の動作例を説明するタイミングチャートである。

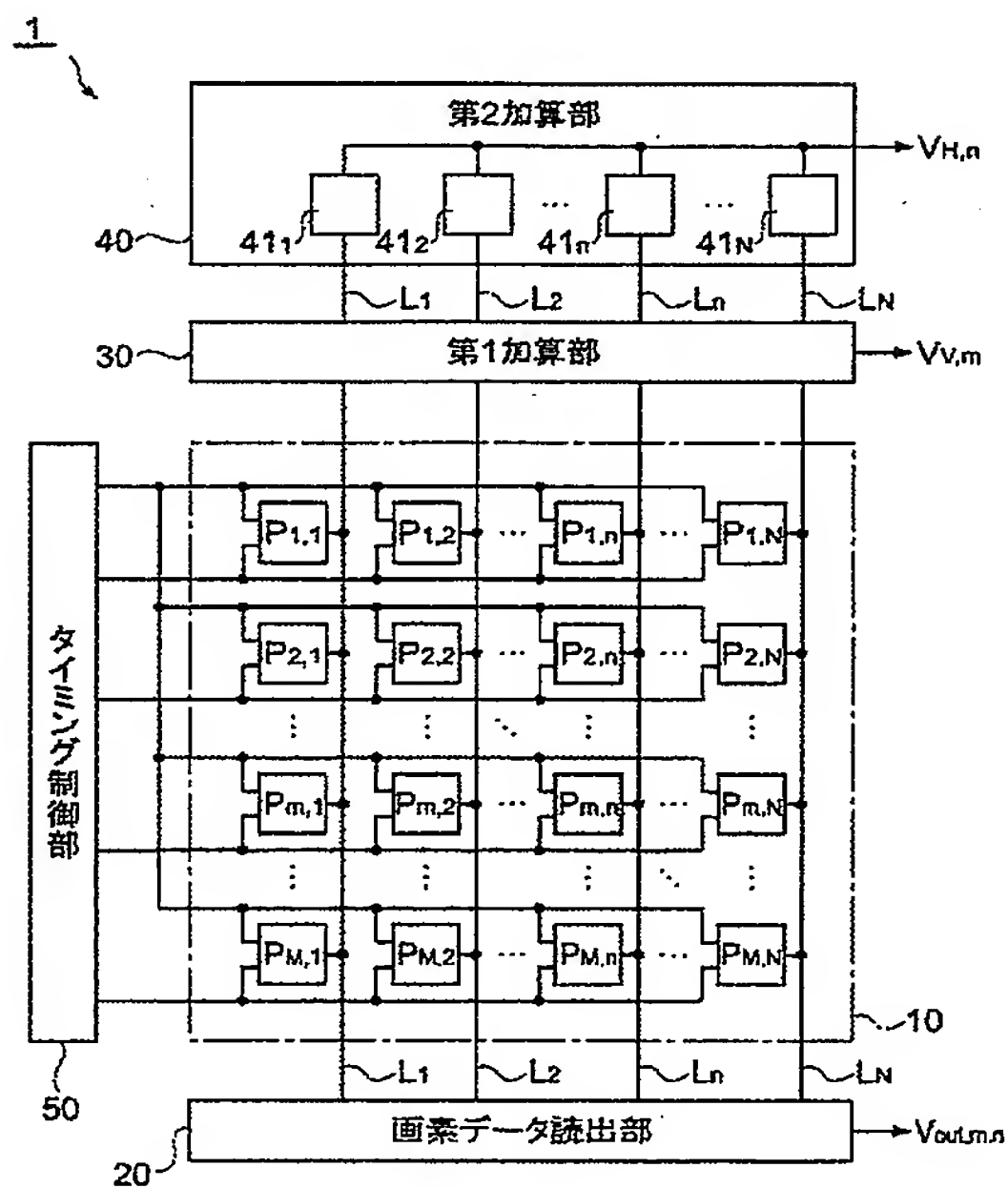
【符号の説明】

【0081】

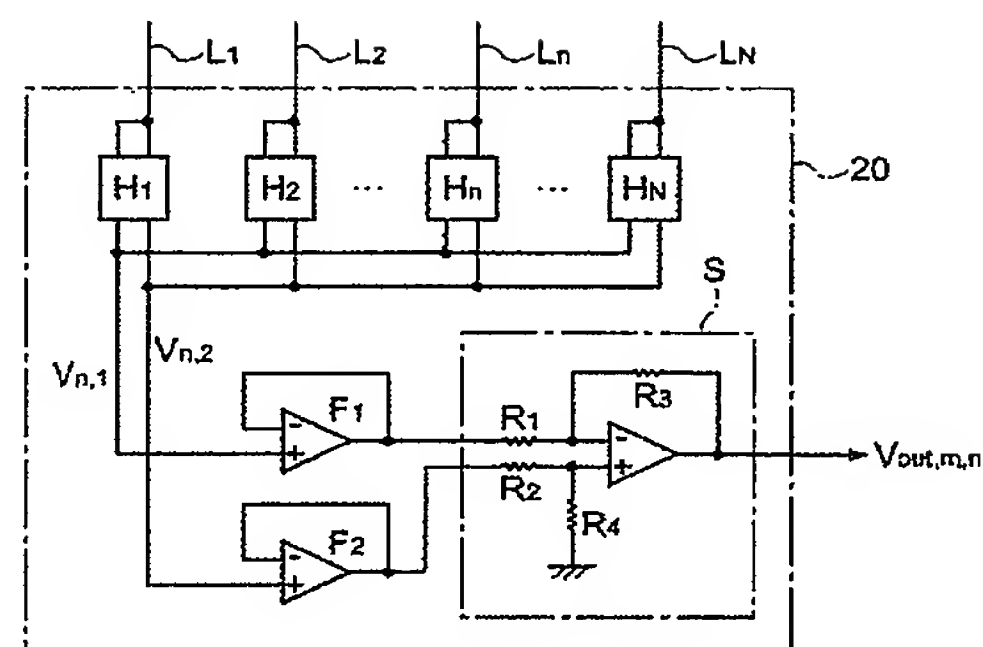
1, 2…光検出装置、10…受光部、20…画素データ読出部、30…第1加算部、40, 40A…第2加算部、41…加算回路、50, 50A…タイミング制御部、 $P_{m,n}$ …画素部、 H_n …電圧保持部、 F_1 , F_2 …電圧フォロワ回路、S…減算回路。

30

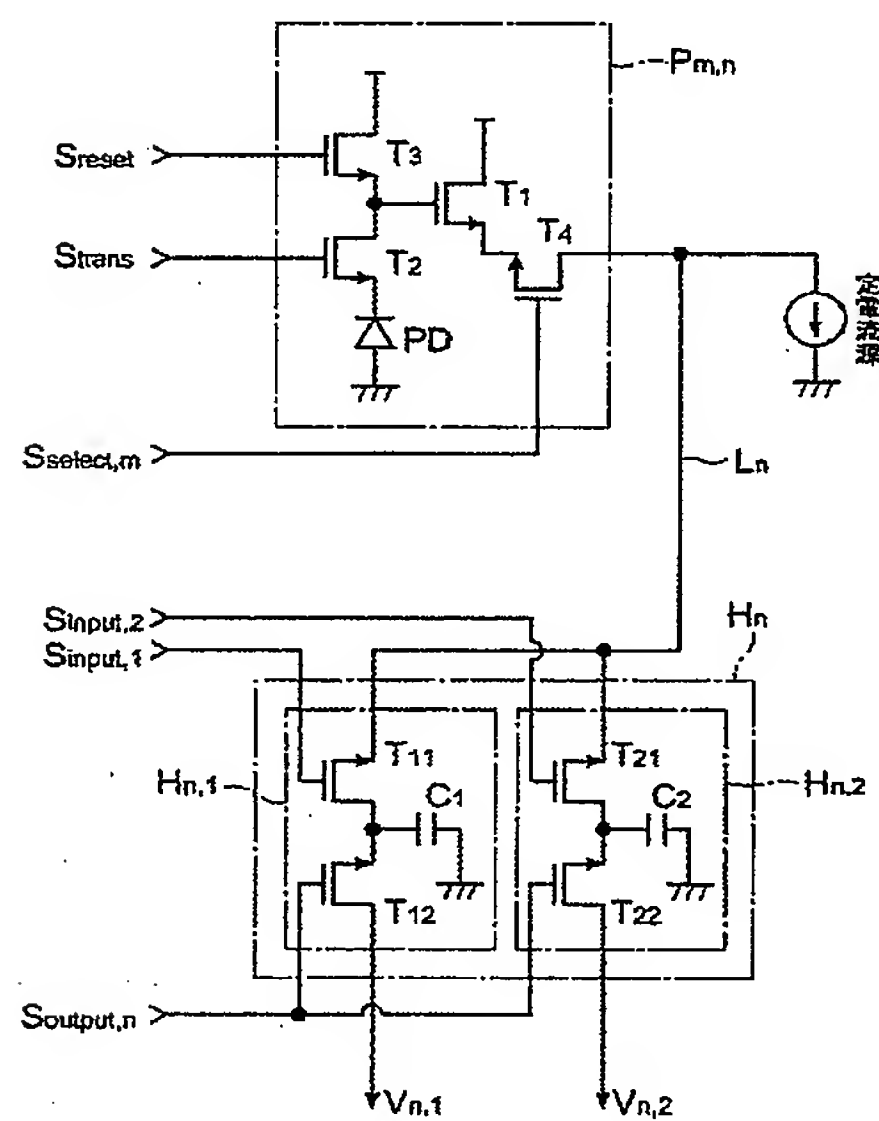
【図 1】



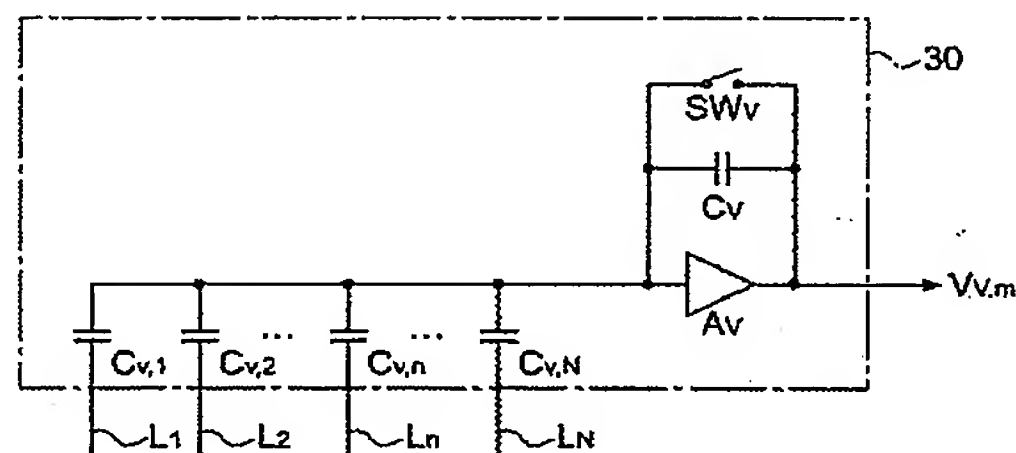
【図 2】



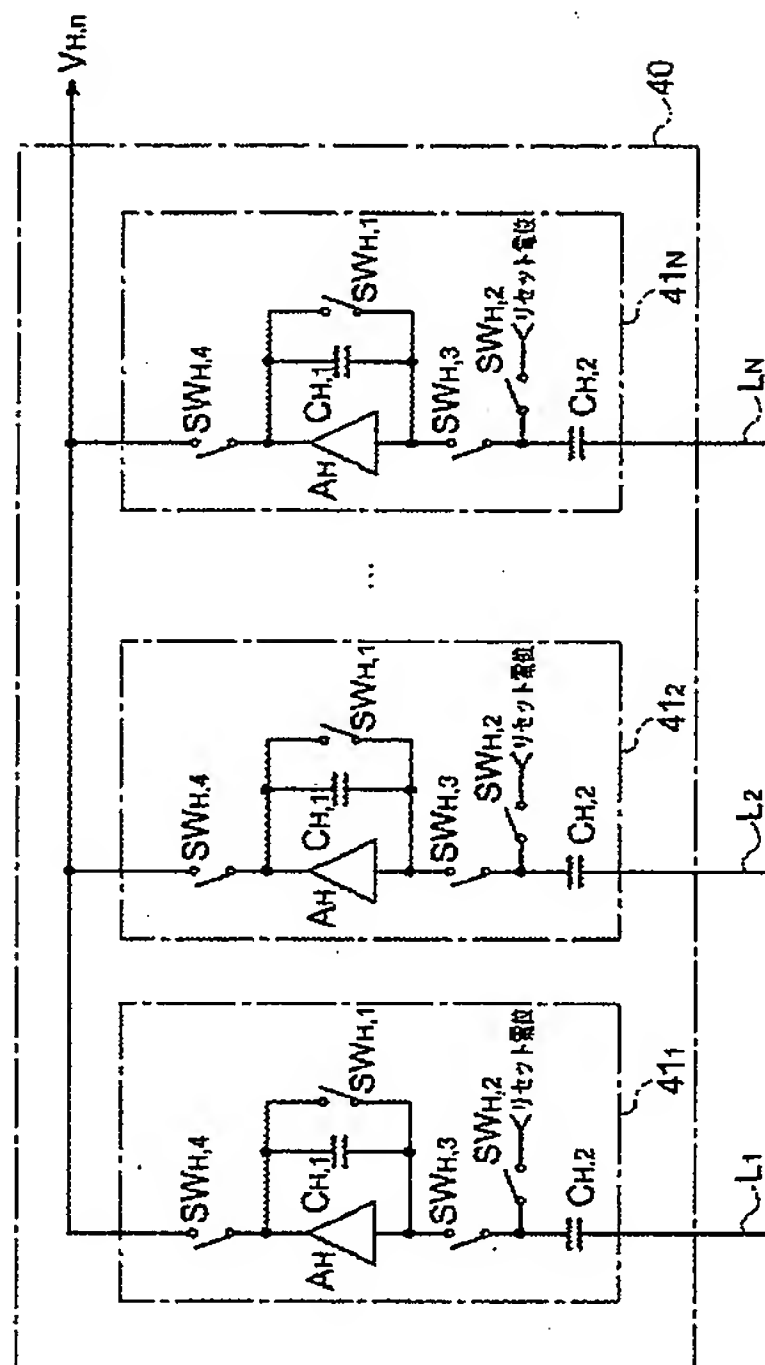
【図 3】



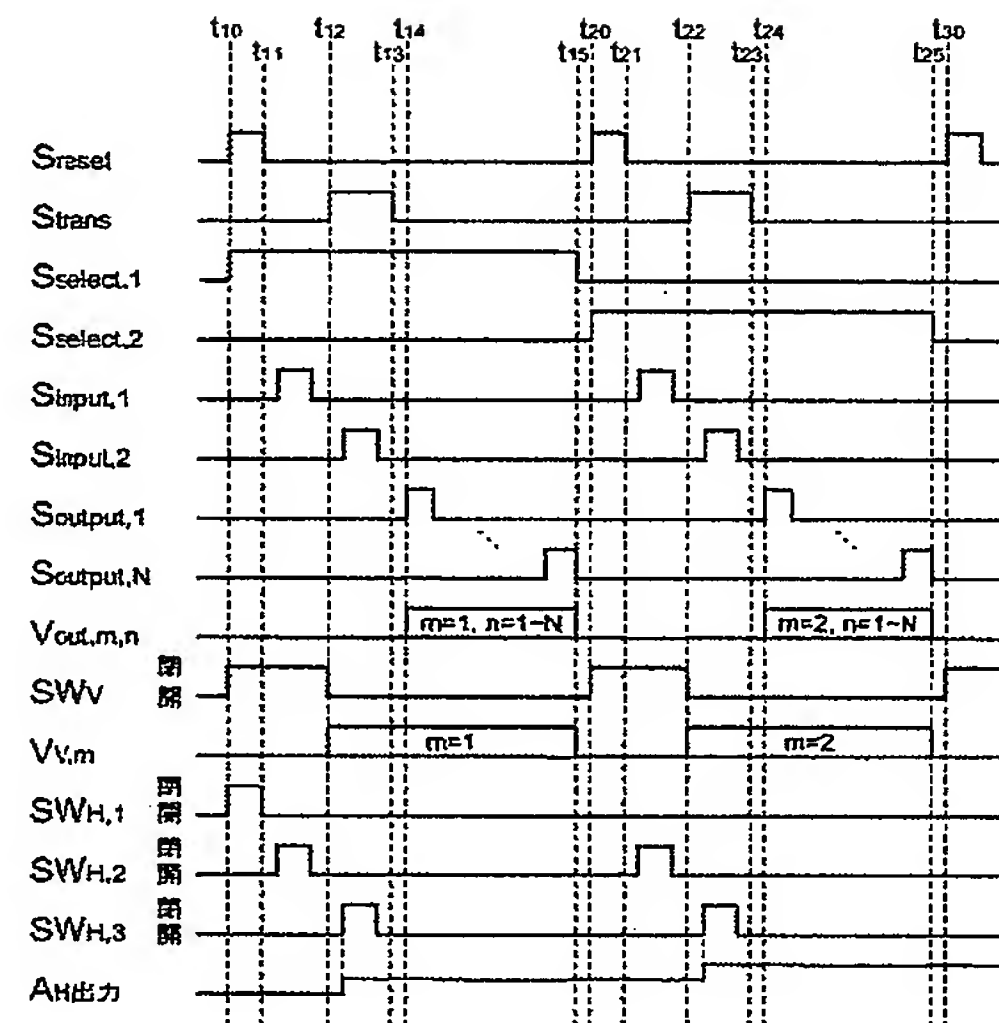
【図 4】



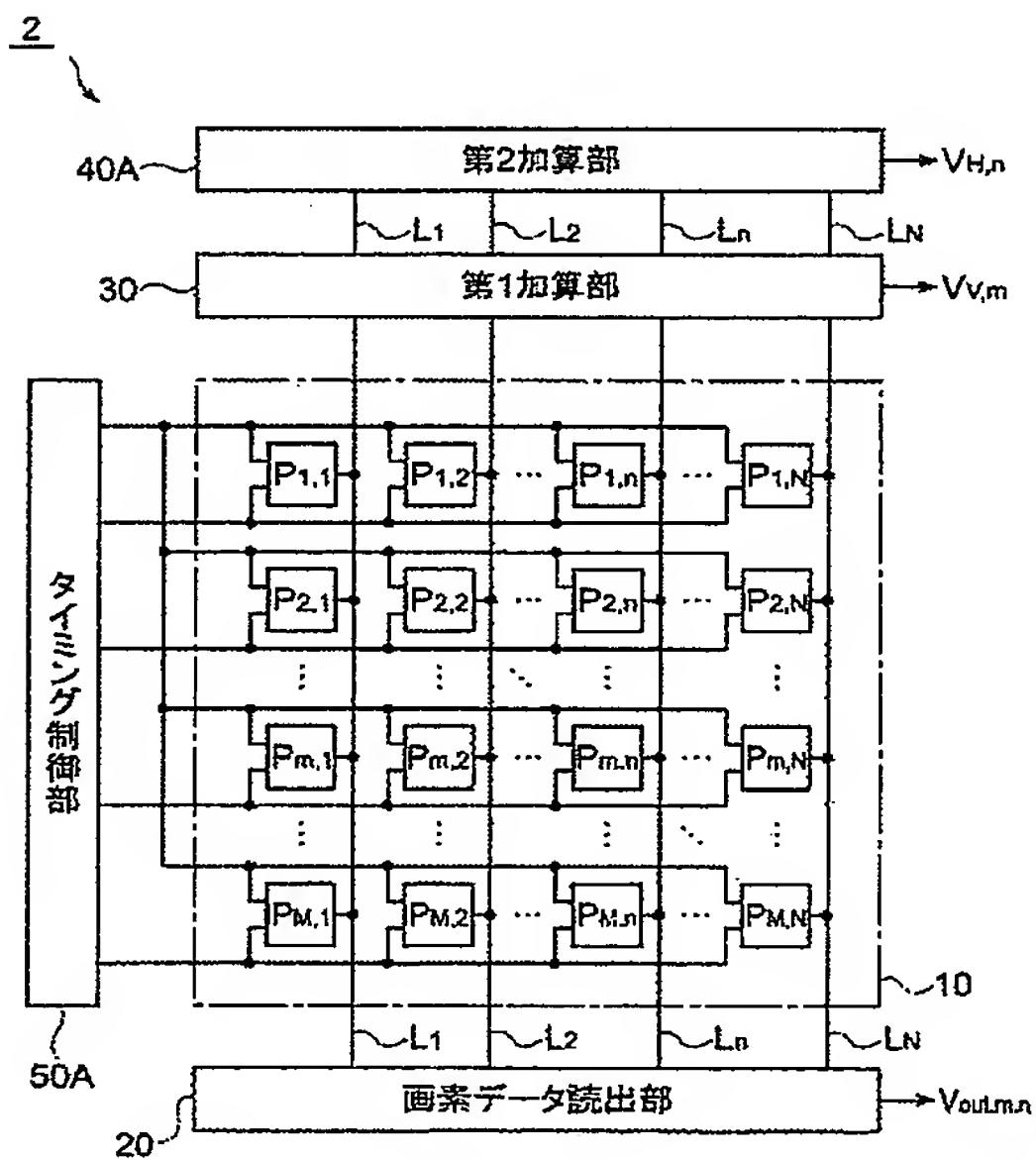
【図 5】



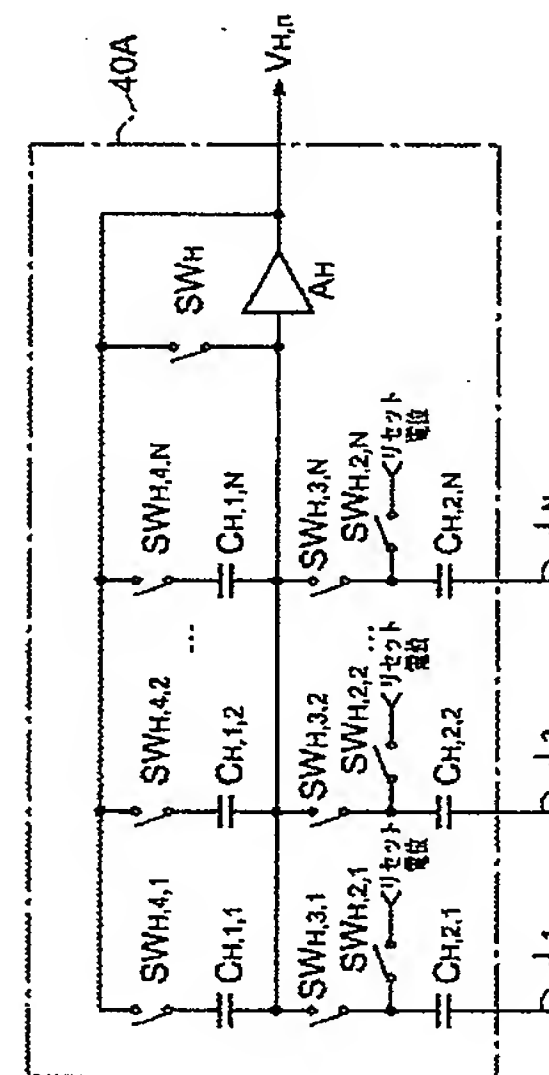
【圖 6】



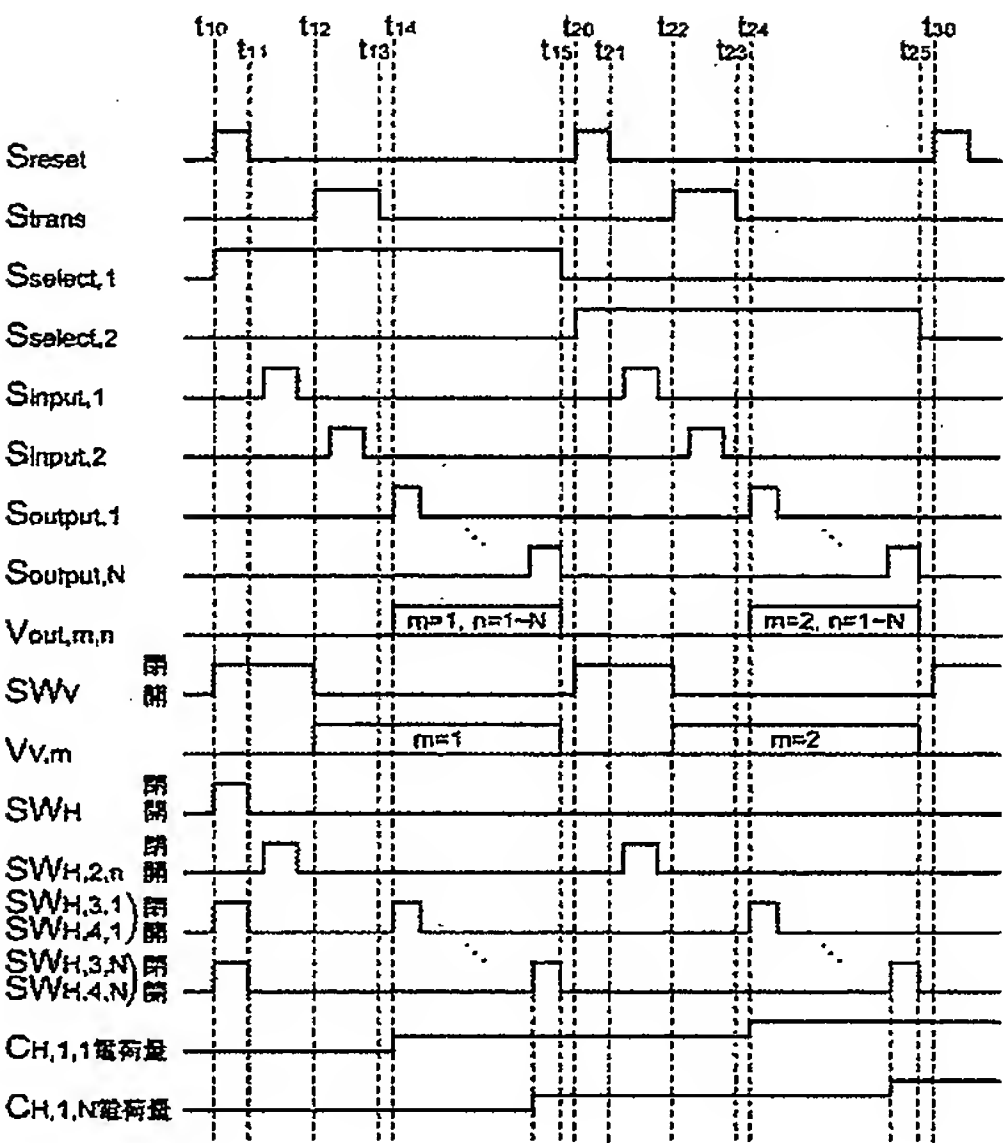
【図 7】



【図 8】



【図 9】



フロントページの続き

(72)発明者 杉山 行信

静岡県浜松市市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内

F ターム(参考) 2G065 AA11 AA17 BA06 BA09 BA34 BC02 BC08 BC11 BC16 BC22
BE08 DA18
4M118 AA10 AB01 BA14 CA02 DB09 DD09 DD10 DD11 FA06 FA33
5C024 AX01 CX41 EX11 GX03 GX18 GX21 GZ26 GZ27 HX28
5F049 MA01 NA19 NA20 NB05 RA02 UA20